

浮点及整数混合运算器的设计与实现

何星宏, 阴亚芳, 戴 程

(西安邮电大学 电子工程学院, 陕西 西安 710100)

摘 要: 针对现行普遍的浮点运算器耗费面积较大, 功能实现结构松散的问题, 设计实现一款浮点及整数混合运算器 (Mixture-Arithmetic Logic Unit, M-ALU). 该运算器基于基 4 算法华莱士树型结构, 并尝试一种新的阶码对齐方法, 合并整数运算与浮点运算处理逻辑. 在三级流水线结构下可准确完成单精度浮点数, 扩展精度浮点数以及整数基本运算. 采用基于 synopsys 提供的 Design Compler 综合工具在 SMIC 65 nm 工艺库下完成综合, 达到 500 MHz 主频.

关键词: IEEE754; Systemverilog; 乘加运算; 整数; 浮点

中图分类号: TP31

文献标识码: A

文章编号: 1000-7180(2018)02-0052-04

Design and Implementation for a Integer-Float ALU

HE Xing-hong, YIN Ya-fang, DAI Cheng

(College of Electronics Engineering, Xi'an University of Posts & Telecommunication, Xi'an 710100, China)

Abstract: For solve the issue that commont floating pointe ALU consumes large area and srtucture loosely, a floating point and integer mixed operator M-ALU are designed and implemented. The algorithm based on the base-4 algorithm Wallace tree structure, and try a new order code alignment method, merging integer arithmetic and floating point arithmetic processing logic. In the three-stage pipeline structure can be accurately completed single-precision floating-point, extended precision floating-point and integer basic operations. Based on the synopsys provided by the Design Compiler synthesis tool in the SMIC 65nm process library to complete the synthesis, to 500 MHz frequency.

Key words: IEEE754; systemverilog; multiply-add operations; interger; floating point

1 引言

ALU 是处理器中的最重要单元, 所有具体执行运算、运算结果精度均由 ALU 决定, 而目前的浮点运算器面积开销较大, 运算逻辑流水线较长^[1]. 对于硬件电路设计者, 很少会考虑将整数运算和浮点数运算运算逻辑进行复用^[2], 在本设计中, 将单精度浮点数、扩展精度浮点、整数运算流程进行融合, 从而节省大量面积资源. 并且在设计中依据 IEEE754-2008^[3] 浮点数标准, 处理 INF, NAN (sNAN 以及 qNAN), ± 0 .

有针对性地对单精度数进行测试, 在测试阶段引入 IBM testsuit, 在 Systemverilog 搭建测试平台

中进行执行结果自动化对比, 测试结果显示该运算器执行结果准确可靠. 对于扩展精度指令以及整数指令, 采用随机测试 500 万条指令, 全部通过, 执行结果准确. M-ALU 使用 Synopsys 公司综合工具 Design Compiler, 链接工艺库 SMIC 65 nm. 主频达到 500 MHz.

2 浮点及定点混合运算器结构

本文提出的混合运算器, 第一级流水线中的主要部分是: 一个基 4 算法华莱士树 (MULTP), 一个进位节省加法器 (Carry Save Adder, CSA). 第二级流水线的主要部分是: 一个超前进位加法器 (Anticipated Carry Adder, ACA), 前导零预测 (Leading

Zero Anticipation, LZA) 以及前导零检查 (Leading Zero Detection, LZD). 三级流水线的主要部分是: 规格化检查 (Normalize), 舍入 (Round). 整体结构如图 1 所示.

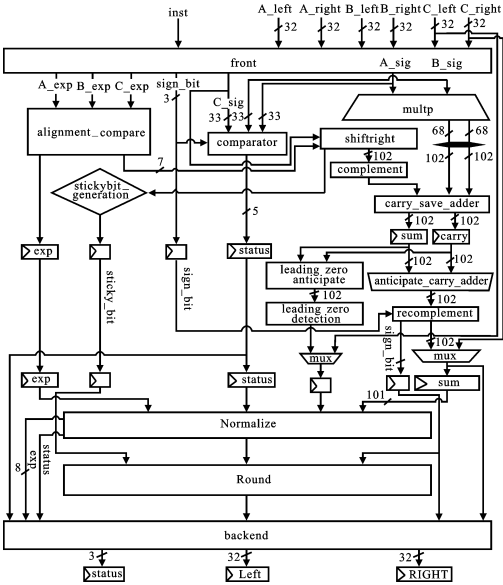


图 1 M-ALU 结构图

M-ALU 的主要功能描述如下:

- (1)完成整数运算,包括乘加、乘法、加法、比较、移位五种运算;
- (2)完成单精度运算,包括乘加、乘法、加法、比较四种运算;
- (3)扩展精度运算,包括乘加、乘法、加法、比较四种运算.

M-ALU 执行指令如表 1 所示.

表 1 M-ALU 执行指令

指令	操作数	整数	浮点数	时钟周期	
				整数	浮点数
乘加($\times +$)	{A,B,C}	是	是	2	3
比较($>, =, <$)	{A,B}	是	是	2	3
移位($>>, <<$)	{A,C}	是	否	2	n/a
乘法	{A,B,0}	是	是	2	3
加法	{A,1,C}	是	是	2	3

以典型的单精度浮点数乘加举例,运算流程如图 2、3 所示.

第三级流水线如图 4 所示.

本文描述的混合运算器主要优点在于,其通过三级流水线实现浮点运算,其中浮点运算逻辑路径与整数运算逻辑路径共享处理路径. 各个模块的详细设计说明会在下文中展示.

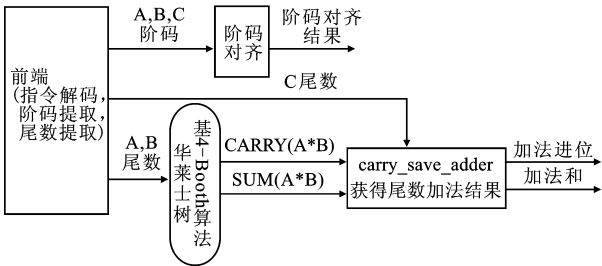


图 2 第一级流水线

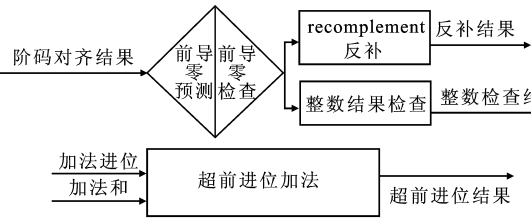


图 3 第二级流水线

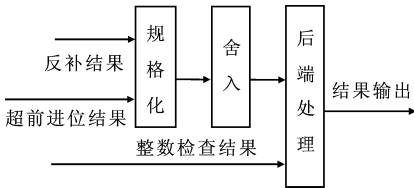


图 4 第三级流水线

3 设计关键

3.1 阶码对接过程

在一般情况下, ALU 单元作浮点乘加运算 $FMA(A \times B + C)$ 需要将 $(A \times B)$ 的结果确认过后才进行阶码对齐, 此种方式大大制约了浮点乘加的运算速度. 而在本设计中, 阶码的对齐与 $(A \times B)$ 的运算逻辑同时进行, 如此面临的问题是, 运算器无法确认 $EXP(A \times B)$ 与 $EXP(C)$ 的阶码大小, 为了突破瓶颈, 我们用 C 的单向移动代替加数和被加数的双向移动, 即 C 的尾数提前左移 36 位, 再将 C 的尾数进行右移, 匹配 $A \times B$ 结果的阶码. 至此, 如果对接过程中, C 的左移位数大于 36 位, 即表示 $C \gg A \times B$, 则在本设计中, 为防止误差累计效应^[4], 将 $A \times B$ 作为最小单位处理, 将 C 作为 FMA 的结果. 阶码对阶过程如图 5 所示.

3.2 进位节省加法和华莱士树结构

改进华莱士树结构^[5], 计算 $A \times B$ 的结果, 经过尝试和比较, 利用 3 : 2 压缩器混合 4 : 2 压缩器, 进一步获得更低的时延.

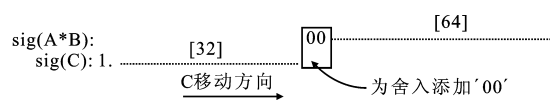


图 5 尾数对接过程示意图

M-ALU 设计中在流水线的第一级为了使得其中的加法路径不至于过长进而成为制约 M-ALU 主频的关键因素,所以在选择加法器时首先使用进位节省加法器(CSA)做预加法,从而以可观的速度获得一个 102 位的 sum 与 102 的 carry,以这种方式,充分利用阶码对齐带来的时延. 如此,只需要在第二级流水线中添加一个进位传播加法器(CPA),就可以得到乘加运算的结果.

3.3 超前进位加法器以及前导零处理

经过研究发现,由于在进位节省加法过后进行进位传播加法,电路的时延较长,我们希望加法器可以尽快产生进位,所以选择超前进位加法器(又称:先行进位加法器,ACA)以求降低电路时延,由于:

$$\begin{aligned} c[i+1] &= a[i]b[i] + a[i]c[i] + b[i]c[i] \\ &= a[i]b[i] + (a[i] + b[i])c[i] \\ &= g[i] + (p[i])c[i] \end{aligned}$$

其中 $g[i]$ 被称为进位产生函数, $p[i]$ 被称为进位传递函数^[6]. 由此使用树形结构分层次产生每一层的进位数,从而降低时延.

经过上文所述,设计中完成了 FMA($A * B + C$)的基本运算,在 IEEE754-2008 标准进行规格化数时,首先进行前导零预测(Leading Zero Anticipation, LZA),所使用的结构如图 6 所示.

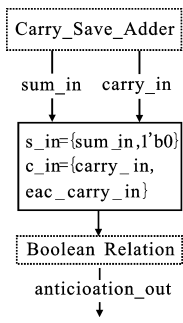


图 6 前导零检测部分

目前有非常多可用的技术可以进行前导零检测^[7], LZA 部分实际上是对输入的 sum 和 carry 依据 Boolean relation 进行一定程度的预测并输出一个预测值,以便在接下来的前导零检查直接输出需要左移的位数,但是需要注意的是,根据布尔关系,进行此类前导零预测方法可能会产生一定程度的错误^[8],即遗漏一个且仅有一个前导零,解决此遗漏可

以在第三级流水线中规格化部分(Normalize),进行检测并往左移 1 位.

前导零检查(Leading Zero Detection)部分的结构是从 2-bit 基本单元开始,2 个基本单元构成 4 bit 检查,两个 4 bit 检查构成 8 bit 检查,以此类推,累积成图 7 所示的结构.

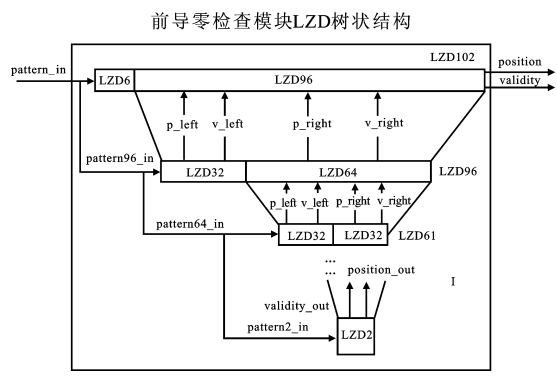


图 7 前导零检测部分

3.4 规格化数

在设计中规格化部分,接收前导零预测部分给出的左移位数,进行左移规格化.

3.5 舍入模块

该模块主要功能是对规格化后的运算结果进行舍入修正,以期达到更加准确的表达效果,具体说是根据 IEEE754-2008 标准,基于上两级流水线中保存的附加位(GRS)所表达信息,根据舍入模式进行不同程度的结果修正.(舍入策略:向 0 舍入,就近舍入偶数优先,向正无穷舍入,向负无穷舍入)

3.6 尾端输出

尾端检查部分主要输出结果确认以及输出格式调整,检查符号位等工作.

4 设计环境及验证平台介绍

4.1 设计环境

Red Hat Enterprise Linux Server
Release 6.5(Santiago)
Kernel Linux 2.6.32-573.el6×86_64
GNOME 2,28,2

4.2 验证平台介绍

通过搭建完整的 System Verilog 验证平台完成对本设计中期望指令进行分别验证,对单精度、扩展精度、整数运算结果进行自动化比对. 该测试平台可以完成定向和随机测试,工作流程如下:

(1)驱动(Driver)通过接口(图中虚线)发送激励给 DUV,通过 System Verilog 提供的邮箱(mail-

box)发送同样的数据给参考模型(Reference module).

(2)两者的计算结果会被计分板采集(Scoreboard)用于比较结果是否准确.

(3)Monitor 用于采集 Driver 发出的激励以及参考模型结果,用于整理编组然后在平台运行过程中整齐地显示(见图 8).

(4)Reference Module 参考模型完成的工作是将 DUV 的运算过程用高级语言实现设计目标以及理论结果,其结果作为 DUV 的设计目标.

验证平台如图 8 所示,在完成分别测试后,对指令进行了混合测试,重点关注在指令集中出现某些未编码指令(UNORDERED)或整数指令中出现浮点数指令,则 M-ALU 会以合适的方式进行处理,状态位输出特定编码,有一定的容错性.

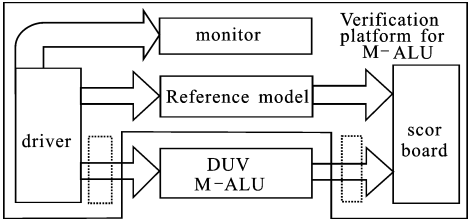


图 8 验证平台结构图

4.3 验证策略

验证分为定向测试和随机测试,定向测试的目的是测试 M-ALU 是否可以正确的处理 IEEE754-2008 标准列出的各种特殊边界数据,如 NAN,0,INF 等特殊情况.

(1)定向激励验证

对于整数定向测试,筛选出 $\pm 0, \pm 1, \pm \max$ 这 6 个边界数据以及左移右移时移 1 位,0 位,分别移动 31,32,33 位进行排列组合,总共生成 874 种特殊情况作为整数定向测试激励.

对于单精度定向测试,乘加、乘法、加法、比较,这 4 种运算,测试激励参考 IBM 公司单精度测试专用测试包 IBM-TestSuite,遵循 IEEE754-2008 标准,其发布的测试包是经过多年经验积累总结,此外 IBM 是乘加运算 FMA 的先驱,相比于自己编写的测试包更具有权威性,其中总共包含 42 046 组指令.

对于扩展精度浮点运算,同样列出边界情况,重点包括各种异常(上溢、下溢、无效操作等),特殊操作数($\pm 0, \pm 1, \pm \text{Inf}, \pm \text{qNaN}, \pm \text{sNaN}$ 等等),总共包含 28 672 组指令.

(2)随机激励验证

对于整数、单精度、扩展精度三种类型随机测试,均进行 500 万组指令大量随机测试,全部通过.测试规模统计如表 2 所示.

表 2 仿真数据统计

	随机测试规模	定向测试条数
整数	500 万	874
单精度浮点数	500 万	42 046
扩展精度浮点数	500 万	28 672

5 综合性能

S-ALU 使用 Synopsys 公司综合工具 Design Compiler,链接工艺库 SMIC 65 nm CMOS.综合结果如表 3 所示.

表 3 综合性能总结

Delay Estimation/ns	Area Estimation/ μm^2	Power Estimation/mW	工艺库/nm
2.00	58 101	22.028 5	65

6 结束语

针对目前浮点运算器流水线级数较长,处理逻辑过于松散,面积开销较大的问题,本文的 M-ALU 是基于 Verilog HDL 设计描述的一款浮点及整数混合运算器,可完成基本的单精度和扩展精度乘加运算,移位.同时支持整数乘加、移位、比较.在 System Verilog 描述测试平台中通过了较大规模验证,并且使用 Synopsys 公司综合工具 Design Compiler 最大时钟频率达 500 MHz,经过上述验证,满足三级流水线,高复用性,紧密结构的要求.

参考文献:

[1] Prashanth B U V, Kumar P A, Sreenivasulu G. Design & implementation of floating point ALU on a FPGA processor[C]// Computing, Electronics and Electrical Technologies. English, Book, 2012:772-776.

[2] Jacobi C, Oh H J, Tran K D, et al. The Vector floating-point unit in a synergistic processor element of a cell processor[C]// IEEE Symposium on Computer Arithmetic. Cape Cod, MA, USA, IEEE Computer Society, 2005:59-67.

[3] KahanElect W. IEEE Standard for Floating-Point Arithmetic[J]. Lecture Notes on the Status of IEEE 754,2008:1-70.

参考文献:

- [1] 李艳, 吴贵芳, 戴高乐, 等. 一种新的掌纹轮廓特征点提取算法[J]. 微电子学与计算机, 2010, 27(5): 90-94.
- [2] G Li, J Kim. Palmprint recognition with local micro-structure tetra pattern[J]. Pattern Recognition, 2017 (61): 29-46.
- [3] J S Kim, Gen Li, B G Son, et al. An empirical study of palmprint recognition for mobile phones[J]. International Workshop on Advanced Image Technology, 2015, 61 (3): 311-319.
- [4] M M El-Seddek, M S Morsy, F W Zaki. A radon transform based technique for identification of palmprint images[C]//IEEE on Radio Science Conference. Florida, USA. 2015: 189-195.
- [5] M Aykut, M Ekinici. Developing a contactless palmprint authentication system by introducing a novel ROI extraction method[J]. Image & Vision Computing, 2015, 40(C): 65-74.
- [6] 赵杰, 桑庆兵, 刘毅锟. 基于分裂式 K 均值聚类的肤色检测方法[J]. 计算机工程与应用, 2014, 50(1): 134-138.
- [7] Z Guo, D Zhang, L Zhang, et al. Palmprint verification using binary orientation co-occurrence vector[J]. Pattern Recognition Letters, 2009, 30 (13): 1219-1227.
- [8] D Zhang, W K Kong, J You, et al. Online palmprint identification[J]. IEEE Transactions on Pattern Anal-

ysis & Machine Intelligence, 2003, 25(9): 1041-1050.

- [9] G K O Michael, T Connie, A B J Teoh. Touch-less palm print biometrics: Novel design and implementation[J]. Image & Vision Computing, 2008, 26(12): 1551-1560.
- [10] 黄申, 徐成, 屈景辉, 等. 基于小波理论对掌纹主线提取和修复[J]. 中国图象图形学报, 2006, 11(8): 1139-1149.
- [11] L Leng, G Liu, M Li, et al. Logical conjunction of triple-perpendicular-directional translation residual for contactless palmprint preprocessing[C]//11th International Conference on Information Technology: New Generations, Washington, DC, USA, 2014: 523-528.

作者简介:

陈琪女, (1992-), 硕士研究生. 研究方向为图像处理、掌纹识别. E-mail: 710668975@qq.com.

张情女, (1990-), 硕士研究生. 研究方向为图像处理、掌纹识别.

陈昊男, (1982-), 副教授. 研究方向为计算智能、图像处理与模式识别.

冷璐男, (1982-), 副教授. 研究方向为图像处理与模式识别、安全生物特征认证.

黎明男, (1965-), 教授. 研究方向为计算智能、图像处理与模式识别.

(上接第 55 页)

- [4] 姜浩. 高精度可靠浮点计算及舍入误差分析研究[D]. 长沙: 国防科学技术大学, 2013.
- [5] Tsoumanis K, Xydis S, Efstathiou C, et al. An Optimized Modified Booth Recoder for Efficient Design of the Add-Multiply Operator[J]. Circuits & Systems I Regular Papers IEEE Transactions on, 2014, 61(4): 1133-1143.
- [6] 李亚民. 计算机原理与设计 Verilog HDL 版 Computer principles and design in Verilog HDL[M]. 北京: 清华大学出版社, 2011.
- [7] Schmookler M S, Nowka K J. Leading zero anticipation and detection-a comparison of methods[J]. IEEE Symposium on Computer Arithmetic, 2001, 22(41):

7-12.

- [8] Quinell E, Swartzlander E E, Lemonds C. Floating-point fused multiply-add architectures[C]// Asilomar Conference on. Pacific Grove, CA, USA, IEEE Xplore, 2007: 331-337.

作者简介:

何星宏男, (1992-), 硕士研究生. 研究方向为集成电路设计.

E-mail: hexinghong2015@126.com.

阴亚芳女, (1966-), 教授. 研究方向为电路系统.

戴程男, (1990-), 硕士研究生. 研究方向为集成电路.